

PAT-NO: JP409247184A  
DOCUMENT-IDENTIFIER: JP 09247184 A  
TITLE: CELL PROCESSING SYSTEM FOR ATM  
CHANNEL INTERFACE  
PUBN-DATE: September 19, 1997

INVENTOR-INFORMATION:

NAME

KAWARAI, KENICHI  
NAGATO, YUJI  
YAMANAKA, NAOAKI  
YOSHII, NOBUYUKI  
SUZUKI, KOJI  
OKAMOTO, MANABU

ASSIGNEE-INFORMATION:

NAME

COUNTRY

FUJITSU LTD  
NIPPON TELEGR & TELEPH CORP <NTT>  
OKI ELECTRIC IND CO LTD  
NEC CORP  
HITACHI LTD

N/A  
N/A  
N/A  
N/A  
N/A

APPL-NO: JP08055765  
APPL-DATE: March 13, 1996

INT-CL (IPC): H04L012/28, H04Q003/00

ABSTRACT:

PROBLEM TO BE SOLVED: To obtain the system with high maintenance performance through an efficient configuration with a smaller size and offering simple test and inspection by providing plural cell processing sections each having a

single cell processing function throughout a channel.

SOLUTION: A signal inserted from a subscriber channel is converted into a desired electric signal by a physical termination section 60 and given to a frame termination section 61, in which frame synchronization and section overhead processing and pass overhead processing are conducted. Furthermore, a cell processing section 62 conducts header synchronization and cell assembling the signal is converted into a cell format and physical layer processing is terminated. An alarm cell extract/monitor section 63 inserts an alarm cell and sets a Y bit flag. Thus, cells are processed as if they were passed through an MC extract/monitor section 64, an OAM cell processing section 67, a UPC section 13, a charging processing section 14 and an MC insert section 68 and inserted by an alarm cell insert section 69.

COPYRIGHT: (C)1997,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-247184

(43) 公開日 平成9年(1997)9月19日

(51) IntCl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 L 12/28		9466-5K	H 0 4 L 11/20	E
H 0 4 Q 3/00			H 0 4 Q 3/00	

審査請求 未請求 請求項の数6 O L (全 13 頁)

(21) 出願番号 特願平8-55765

(22) 出願日 平成8年(1996)3月13日

(71) 出願人 000005223  
富士通株式会社  
神奈川県川崎市中原区上小田中4丁目1番1号

(71) 出願人 000004226  
日本電信電話株式会社  
東京都新宿区西新宿三丁目19番2号

(71) 出願人 000000295  
沖電気工業株式会社  
東京都港区虎ノ門1丁目7番12号

(74) 代理人 弁理士 井島 藤治 (外1名)

最終頁に続く

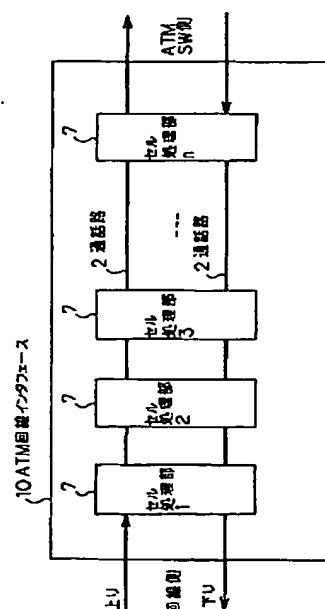
(54) 【発明の名称】 ATM回線インタフェースのセル処理システム

(57) 【要約】

【課題】 本発明はATM回線インタフェースのセル処理システムに関し、セル処理部をより効率的な構成にして、より小型で検査・試験が簡便で、保守性の高いATM回線インタフェースを提供することを目的としている。

【解決手段】 その一端が回線側と、他端がATMスイッチ側と接続されるATM回線インタフェースにおいて、セルの単一の処理機能を有する複数のセル処理部を配置し、これらセル処理部を通路路が貫通する構成にする。

第1の発明の原理ブロック図



(43) Date of publication of application : 19.09.1997

H04L 12/28  
H04Q 3/00

OKAMOTO MANABU

conducted. Furthermore, a cell processing section 62 conducts header synchronization and cell assembling the signal is converted into a cell format and physical layer processing is terminated. An alarm cell extract/monitor section 63 inserts an alarm cell and sets a Y bit flag. Thus, cells are processed as if they were passed through an MC extract/monitor section 64, an OAM cell processing section 67, a UPC section 13, a charging processing section 14 and an MC insert section 68 and inserted by an alarm cell insert section 69.

---

#### LEGAL STATUS

[Date of request for examination]	03.07.2000
[Date of sending the examiner's decision of rejection]	20.08.2002
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]	
[Date of final disposal for application]	
[Patent number]	3376205
[Date of registration]	29.11.2002
[Number of appeal against examiner's decision of rejection]	2002-17856
[Date of requesting appeal against examiner's decision of rejection]	17.09.2002
[Date of extinction of right]	

Copyright (C); 1998,2003 Japan Patent Office

**\* NOTICES \***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**CLAIMS**

---

[Claim(s)]

[Claim 1] The cel processing system of the ATM circuit interface characterized by for the end having arranged two or more cel processing sections in which the other end has the single processing facility of a cel in the ATM circuit interface connected an ATM switch side the circuit side, and making these cel processing section the configuration which a speech path penetrates.

[Claim 2] The cel processing system of the ATM circuit interface with which the end is characterized by the other end preparing the OAM cel processing section of a configuration of dividing an ATM circuit interface into a physical-layer processing block and an ATM layer processing block in the ATM circuit interface connected an ATM switch side, carrying out termination of the processing of a physical layer with a physical-layer processing block, and inserting the specific processing section of a cel into said ATM layer processing section a circuit side.

[Claim 3] The cel processing system of the ATM circuit interface with which the end is characterized by arranging to juxtaposition two or more cel processing sections in which the other end has the single processing facility of a cel in the ATM circuit interface connected an ATM switch side a circuit side.

[Claim 4] the cel processing system of the ATM circuit interface with which the end prepares the cel discernment section which discriminates intensively the cel by the side of a circuit and an ATM switch from which it gets down from being alike going up, respectively in the ATM circuit interface to which a circuit side and the other end are connected an ATM switch side, and this cel discernment section is characterized by to notify whether the cel concerned processes using the flag bit or the signal line on a cel to the consecutive cel processing section.

[Claim 5] The cel processing system of the ATM circuit interface with which the end is characterized by what is notified using the flag bit or signal line which the other end shows that the new cel insertion section which inserts a new cel in a circuit or ATM switch side in the ATM circuit interface connected an ATM switch side is prepared, and it is a new insertion cel to the cel processing section of consecutiveness of this new cel insertion section a circuit side.

[Claim 6] The cel processing system of the ATM circuit interface according to claim 1 to 5 characterized by using as the cel for a trial the cel which stood the specific bit, and carrying out different actuation from a user cel in each cel processing section.

---

[Translation done.]

**\* NOTICES \***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**DETAILED DESCRIPTION**

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the cel processing system of an ATM circuit interface. Here, an ATM circuit interface includes a subscriber's-loop interface and a trunk line interface.

[0002] In an ATM switching system, various information, such as voice, an animation, and data, is divided and transmitted to the fixed-length packet called a cel. The ATM circuit interface which is the component of an ATM switching system is connected with the subscriber's loop or a trunk line, it supervises whether the cel of the contents which the user made a contract of with various kinds of OAM (management) functions, such as a circuit termination, fax service, a performance management, configuration management, accounting management, and a security management, is passed, and abandonment or a TAGINGU (CLP bit is set to 1) polishing function (UPC) is offered for the cel to the user who does not protect a contract.

[0003] While the demand to multimedia communication increases in recent years, bursty data called not only the voice of the former [ source ] but the animation and data which are treated by communication link are increasingly treated with large capacity. For this reason, the mass ATM switching system is demanded. For large-capacity-izing of the exchange, since the number of circuit interfaces connected not only to large-capacity-izing of an ATM switch but to it increases, an ATM circuit interface needs to be miniaturized.

[0004]

[Description of the Prior Art] Drawing 11 is the configuration conceptual diagram of an ATM switching system. In drawing, 10 is an ATM circuit interface which has abandonment or a TAGINGU (CLP bit is set to 1) polishing function for a cel to the user who is connected with a circuit (the subscriber's loop or trunk line), supervises whether the cel of the contents which the user made a contract of with various kinds of OAM (management) functions, such as a circuit termination and fax service, a performance management, configuration management, accounting management, and a security management, is passed, and does not protect a contract. When this ATM circuit interface is a subscriber's-loop interface, this ATM circuit interface is connected with a subscriber terminal, and when this ATM circuit interface is a trunk line interface, it connects with other transit exchanges. 20 is an ATM switch (SRSW) which is connected with this ATM circuit interface 10, and has a self-routing function. Two or more these ATM circuit interfaces 10 are established as shown in drawing. 30 is an exchange control section which is connected with this ATM switch 20 and controls the exchange itself.

[0005] In such a configuration, if data are sent from a certain circuit, this data will go into the ATM switch 20 through the ATM circuit interface 10, will be switched to \*\*\*\* predetermined with this ATM switch 20, and will be connected with other subscriber terminals through other ATM circuit interfaces 10 (arrow head of drawing). The exchange control section 30 performs an exchange of a subscriber terminal and a control signal in the signaling process before sending data.

[0006] Drawing 12 is the block diagram showing the example of the conventional configuration of an ATM circuit interface. If two or more (n pieces) data-processing sections 1 which process a cell data are

formed and processing is completed in a certain data-processing section 1 as shown in drawing, it will go into the following data-processing section 1 through a speech path 2, the next data processing will be performed, and it will be inputted into the ATM switch 20 from the data-processing section 1 of the last stage. In this case, data discernment section 1a is prepared in each data-processing section 1, the cell-data classification sent from the speech path 2 by this data discernment section 1a is identified, and processing according to that processing section is performed.

[0007] Drawing 13 is the block diagram showing other examples of a configuration of the conventional ATM circuit interface. The same thing as drawing 12 attaches and shows the same sign. The ATM circuit interface 10 consists of physical-layer processing block 10A (not shown) which carries out termination of the circuit physically, and ATM layer processing block 10B which performs processing of an ATM cel. By a diagram, the configuration of ATM layer processing block 10B is shown.

[0008] The function in which 12 extracts an OAM cel in the configuration of (a), and the monitoring facility which transmits an OAM cel to the consecutive processing section as it is, The OAM cel processing section with the function which inserts a new OAM cel, the UPC section in which 13 has a polishing function to a cel, The accounting section which counts the number of cels which 14 passes, and 15 are header transducers which exchange the header of a cel and set up the routing information in an ATM switch, and the header information in an attitude way.

[0009] An OAM cel is terminal point or specific node of the OAM cel connection who carried failure and performance management information in the empty cel section of the user data cell of the in channel of the same path as a user data cell by using the special value which acted to the payload type (PTI value) or VCI value in an ATM header as Puri Asa Inn here, and they are failure and the cel which carries out a performance management by performing insertion/separation of an OAM cel. In every node, a monitor is possible for this cel by copying an OAM cel. After the cel extracted in the OAM cel processing section 12 extracts information, it is discarded. The above is prepared in the going-up speech path 2.

[0010] The accounting section among which 16 counts the cel from the ATM switch 20 side, and 17 are the OAM cel processing sections which insert an OAM cel. The accounting section 16 and the OAM cel processing section 17 get down, and are prepared in a speech path 2. The loop formation from the OAM cel processing section 12 to the OAM cel processing section 17 in drawing shows the loop formation in the case of a continuity check.

[0011] In the configuration of (b), the same thing as drawing (a) attaches and shows the same sign. The configuration shown in (b) makes arrangement of each processing section of a configuration of being shown in (a) differ. 18 is the OAM cel processing section which has the function to extract an OAM cel, the monitoring facility which transmits an OAM cel to the consecutive processing section as it is, and the function which inserts a new OAM cel as well as the OAM cel processing section 12, and it gets down and it is prepared in the speech path 2. The cel which it got down in the OAM cel processing section 12, and the cel which entered from the going-up speech path 2 at the time of a continuity check was turned up by the speech path 2, got down on the other hand, and entered from the speech path 2 goes up by the OAM cel processing section 18, and is turned up by the speech path 2.

[0012] Drawing 14 is the block diagram showing other examples of a configuration of the conventional ATM circuit interface. The same thing as drawing 13 attaches and shows the same sign. The cels which entered from the speech path 2 are an OAM cel extract / monitor section 3, and the extract of a cel or the transfer to the processing section of consecutiveness of a cel is performed. Polishing processing and accounting are performed in the processing sections 4, such as UPC/accounting which the cel transmitted from an OAM cel extract / monitor section 3 follows. The cel which came out of the processing sections 4, such as UPC/accounting, goes into the OAM cel insertion section 5, and when required of this OAM cel insertion section 5, insertion of a new cel is performed.

[0013] The trial cel used when examining a speech path is the configuration of a format as shown in drawing 15. In the case of the cel used only inside the exchange, Overhead A can be formed in the header unit of an ATM cel. Information required for this overhead A is incorporated. And the special-number value which shows that it is a trial cel is included in the VCI part B.



[0014] Drawing 16 is drawing showing the flow of the trial cel in the conventional ATM switching system. The same thing as drawing 11 attaches and shows the same sign. In performing a continuity check, it forms separately the cel generating section (TCU) 6 for a trial for generating a trial cel. The trial cel generated in this cel generating section 6 for a trial is turned up through the ATM switch 20 by circuit corresponding point (prepared in LU:ATM circuit interface 10) 10a. The turned-up trial cel goes into the ATM switch 20 again, goes into other circuit corresponding point 10a, is turned up by this circuit corresponding point 10a, goes into the ATM switch 20 again, and returns to the cel generating section 6 for a trial. The normality (flow) of a speech path can be examined by comparing the sent-out trial cel with the cel which has returned in this cel generating section 6 for a trial.

[0015]

[Problem(s) to be Solved by the Invention] There is a problem as shown below in the conventional ATM switching system mentioned above.

\*\* In the system shown in drawing 12, since it is necessary to identify the class of cel by data discernment section 1a whenever a cel goes into the data-processing section, a circuit scale will become large, so that the number of the data-processing sections increases.

[0016] \*\* Since the OAM cel processing section 12 is before the UPC section 13 or the accounting section 14 by the method shown in (a) in the case of the system shown in drawing 13, it is excessive (although the cel discarded or turned up in the OAM cel processing section 12 concerned is not set as the object of the UPC section 13 or the accounting section 14, a segment OAM cel can be used in the latter part neither from the UPC section 13 nor the accounting section 14.). Moreover, by the method shown in (b), a segment OAM cel is set as the object of the UPC section 13 or the accounting section 14, and a user cel may be discarded too many or may be charged.

[0017] \*\* In the case of the system shown in drawing 14, it is necessary to prepare independently an extract / monitor section of a cel, and the insertion section of a cel.

\*\* In the system shown in drawing 16, in order to prepare the trial cel generating section in order to perform the continuity check of a speech path, and to identify a trial cel, use VCI of a special number, therefore consume a resource.

[0018] In order to offer various functions, such as a circuit termination function, various OAM functions, an accounting function, and a polishing function, the processing is complicated, and line speed is 156Mbps(es), and since it is necessary to process an ATM circuit interface at a high speed, it needs to carry out processing on hardware using LSI of dedication. Therefore, the amount of hardware which a configuration takes increases and the circuit is very large-sized. Moreover, inspection and a trial of equipment are also complicated. Therefore, in case a mass ATM switching system is constituted, there is a problem that equipment will become very large-sized and the spatial tooth space taken to install the exchange becomes large. Moreover, the time amount and cost which inspection and a trial of equipment take are also large.

[0019] This invention is made in view of such a technical problem, and the cel processing section is made a more efficient configuration, and it is more small, inspection and a trial are simple, and it aims at offering the high ATM circuit interface of maintainability.

[0020]

[Means for Solving the Problem] For the principle block diagram of the 1st invention, and drawing 2, the principle block diagram of the 2nd invention and drawing 3 are [ drawing 1 / the principle block diagram of the 4th invention and drawing 5 of the principle block diagram of the 3rd invention and drawing 4 ] the principle block diagrams of the 5th invention.

[0021] In drawing 1, the same thing as drawing 12 attaches and shows the same sign. In drawing, 7 is the cel processing section in which each has a single processing facility, and two or more arrangement is carried out. And it has composition in which going up and the speech path 2 from which it gets down penetrate these cel processing section 7, and the processing result by the side of going up gets down, and influences near processing. Moreover, it gets down and the processing by the side of going up changes with near processing results.

[0022] According to the configuration of this invention, each cel processing section 7 can respond easily

by changing arrangement of the cel processing section 7 also to the equipment with which a speech path 2 can be developed according to an individual as an interface, and cel processing facilities differ. Moreover, since the configuration of each cel processing section 7 can be simplified, the normality of actuation of each cel processing section 7 can be inspected comparatively easily using the statistical information in change of the cel format processing before for every cel processing section, and after processing, and the cel processing section 7.

[0023] The ATM circuit interface 10 is divided into physical-layer processing block 10A and ATM layer processing block 10B in drawing 2. 40 is the physical-layer processing section prepared in the physical-layer processing block 10A side, and has functions, such as physical termination, a frame termination, a header synchronization, and cel assembly, decomposition. On the other hand, in ATM layer processing block 10B, it has composition in which the OAM cel processing section 41 and the OAM cel processing section 42 sandwich the cel processing section 43 and the cel processing section 44.

[0024] That is, in this invention, it has the composition of having taken arrangement of the cel processing section into consideration. The cel processing section 43 and the cel processing section 44 have the specific processing facility of a cel, and the cel processing section 43 is formed in the going-up speech path 2, and the cel processing section 44 gets down and is prepared in a speech path 2. The function of these cel processing sections 43 and 44 does not necessarily need to be the same.

[0025] Since termination of the OAM cel used within the net is carried out before and behind the cel processing sections 43 and 44 which perform polishing processing and accounting according to the configuration of this invention, newly, insertion, an extract, or the OAM cel turned up is made not pass to the cel processing sections 43 and 44 which perform polishing processing or accounting, and the OAM cel used within the net can be charged, or it can protect polishing a user cel unnecessarily at the circuit interface concerned.

[0026] Moreover, the cel which it polished by preparing UPC in the preceding paragraph from the accounting section can also be made into an accounting non-object. Furthermore, by arranging a header transducer to ATM switch 20 (referring to drawing 11) twist most, the condition of the header of the ATM circuit interface 10 and an ATM switch can be switched easily, and root information can be added.

[0027] In drawing 3, it is the cel insertion section which 45 is prepared in the entrance side of going up and the speech path 2 from which it gets down, and cel discernment / extract section which performs discernment and an extract of a cel, and 46 are prepared in the outlet side of a speech path 2, and inserts a cel. 8 is the cel processing section which has the single processing facility of a cel, and is prepared.

[ two or more (n pieces) ] This cel processing section 8 is arranged at juxtaposition at the entrance side and outlet side of a speech path 2.

[0028] According to the configuration of this invention, since it is not necessary to perform cel discernment and an extract intensively in cel discernment / extract section 45, and to perform them in the cel processing section 8, its burden of the cel processing section 8 decreases. Furthermore, the cel processing section 8 can process to coincidence the cel which entered from the speech path 2. Therefore, processing speed can improve and hardware can also be miniaturized.

[0029] In drawing 4, the cel discernment section by which 50 was prepared in the entrance side of going up and the speech path 2 from which it gets down and which identifies intensively going up and the cel from which it gets down, and 51 are the cel processing sections which have the single processing facility of the cel prepared in the speech path 2. 52 is a signal line which notifies the cel information identified in the cel discernment section 50 to the consecutive cel processing section 51.

[0030] Since according to the configuration of this invention cel discernment is put in block in the cel discernment section 50 and is performed intensively, the hardware in each cel processing section 51 is reducible that much. Moreover, since the consecutive cel processing section 51 is divided for every function, when it can assign and develop for every processing section, the check of the normality of actuation of the cel processing section 51 becomes easy. In addition, although the signal line has notified cel information to the consecutive cel processing section 51 in drawing, a flag bit is inserted in a cel and

you may make it notify it.

[0031] In drawing 5, the new cel insertion section with physical 55, the cel processing section of plurality (n pieces) in which 56 has the single processing facility of a cel, the new cel insertion section which inserts a cel with logical 57, and 58 are the cel processing sections which process the cel which passed the new cel insertion section 57.

[0032] Since according to the configuration of this invention the consecutive cel processing section 56 makes it pass by no processing altogether and the new cel insertion section 57 (B point) is reached by inserting a physical cel in the new cel insertion section 55 (A point), and setting the flag which shows that it is a new cel, the cel inserted in the A point becomes having inserted in the B point, and equivalence. Therefore, since it becomes unnecessary to prepare a cel receive section and the cel insertion section separately, reduction of hardware can be aimed at.

[0033] When the cel which stood the specific bit in these cases is clearly shown to be a cel for a trial and the cel for a trial passes the cel processing section and an ATM switch by no processing, it cannot be affected to other cel processing sections, but during the ATM circuit interface 10 and the ATM switch 20 can be examined simple at the time of the Inn service or out OBU service.

[0034]

[Embodiment of the Invention] Hereafter, the gestalt of operation of this invention is explained to a detail with reference to a drawing. Drawing 6 is the block diagram showing the example of a gestalt of 1 operation of this invention, and shows the configuration of the subscriber's-loop interface section as an ATM circuit interface 10. The same thing as drawing 13 attaches and shows the same sign. In drawing, 60 is a physical trailer, encodes the signal sent from the subscriber's loop, and makes it a bit string. For example, when the subscriber's loop is an optical fiber, photoelectricity / lightning transducer is also contained here. 61 is the frame termination section which carries out termination of the frame. Here, a frame is a unit which consists of two or more ATM cels. 62 is the cel processing section which has a header synchronous function, and the assembly of a cel and the disassembler of a cel. Addition of the overhead of the ATM cel mentioned later is performed in this cel processing section 62.

[0035] The alarm cell extract / monitor section which performs an extract and monitor of the alarm cell by which 63 is prepared in the going-up speech path 2, and 64 are MC extract / monitor section which performs an extract and monitor of MC (monitor ring cell) prepared in the uphill speech path. When an alarm cell is extracted in an alarm cell extract / monitor section 63, this alarm cell is discarded, and when carrying out a monitor, it is transmitted to the consecutive processing section. On the other hand, when a monitor ring cell is extracted in MC extract / monitor section 64, this monitor ring cell is discarded, and when carrying out a monitor, it is transmitted to the consecutive processing section.

[0036] The alarm cell insertion section which inserts the alarm cell which 65 got down and was prepared in the speech path 2, and 66 are MC insertion sections which insert the monitor ring cell which got down and was prepared in the speech path 2. A monitor ring cell is a cel which measures the quality of a circuit, and MC extract / monitor section 64 performs quality measurement by observing a monitor ring cell and a user cel. 67 is the OAM cel processing section which performs processing of a loop back (LB) cel, and processing of a trial cel.

[0037] MC insertion section by which the UPC section by which 13 was prepared in the going-up speech path 2, and which polishes the cel to pass, the accounting section by which 14 was prepared in the going-up speech path 2, and 68 were prepared in the going-up speech path 2 and which inserts a monitor ring cell, and 69 are the alarm cell insertion sections which were prepared in the going-up speech path 2 and which insert an alarm cell. 15 is a header transducer which sets up \*\*\*\* in an ATM switch using the information which was prepared in the going-up speech path 2, and which is given to the header of a cel.

[0038] The accounting section which 16 got down and was prepared in the speech path 2, MC extract section which 70 got down and was prepared in the speech path 2, and 71 are the alarm cell monitor sections which carry out the monitor of the alarm cell which got down and was prepared in the speech path 2.

[0039] Thus, by constituting, each cel processing section can respond easily by changing arrangement of

the cel processing section also to the equipment with which a speech path 2 can be developed according to an individual as an interface, and cel processing facilities differ. Moreover, since the configuration of each cel processing section can be simplified, the normality of actuation of each cel processing section can be inspected comparatively easily using the statistical information in change of the cel format processing before for every cel processing section, and after processing, and the cel processing section. [0040] Thus, it will be as follows if actuation of the constituted circuit is explained. The signal inserted from the subscriber's-loop side is changed into a desired electrical signal by the physical trailer 60, and frame synchronization, section overhead processing, and pass overhead processing are performed to it in the frame termination section 61. Furthermore, header synchronization and cel assembly are performed in the cel processing section 62, it is changed into a cel format as shown in (a) of drawing 7, and termination of the physical-layer processing is carried out.

[0041] Drawing 7 is drawing showing the example of the cel format in the exchange. This cel format of 7 (b) is advised in ITU-T. The cel format shown in (a) removes the HEC part of 53 bytes of cel format shown in (b), and newly adds the internal overhead A to 2 bytes of a head. The cel processing section 62 performs the above processing. RB is [ a new insertion cel identifier and T of the routing information on the ATM switch (SRSW: self-routing switch) 20 and Y ] SRSW continuity-check cel identifiers among this overhead. In inserting a cel newly, respectively, it stands "1" to Y, and in passing a continuity-check cel, it stands "1" to T.

[0042] Alarm cell processing according [ this cel ] to an alarm cell extract / monitor section 63 in accordance with the speech path 2 within a circuit interface, MC processing by MC extract / monitor section 64, LB cel processing by the OAM cel processing section 67, Monitor ring cell insertion according to MC insertion section 68 polishing processing, the accounting by the accounting section 14, and when required, and cel processing called header transform processing by the header transducer 15 are performed by trial cel processing and the UPC section 13, and it is transmitted to an ATM switch side.

[0043] Moreover, similarly, about the cel inserted from the ATM switch side, each processing section is passed and it is transmitted to a circuit side. Furthermore, in the cel processing from a circuit side to an ATM switch side, to the alarm cell inserted newly, in an alarm cell extract / monitor section 63 (A point of drawing), as shown in drawing 7, it can specify that it is a new insertion cel in the consecutive processing section by setting a Y bit flag to 1st byte the 1st bit of a cel format. In the consecutive cel processing section, since it does not process by seeing a Y bit flag, it means that the new insertion cel was logically inserted in the alarm cell insertion section 69 (B point of drawing) of the latter part of the cel processing section through which it passed by no processing.

[0044] When an alarm cell is inserted in an alarm cell extract / monitor section 63 in the case of drawing 6 and a Y bit flag is set, it seems that MC extract / monitor section 64, the OAM cel processing section 67, the UPC section 13, the consecutive accounting section 14, and consecutive MC insertion section 68 were passed, and the cel was inserted in the alarm cell insertion section 69. Since according to this all the consecutive cel processing sections make it pass by no processing and the new cel insertion section (alarm cell insertion section) 69 (B point) is reached by inserting a physical cel in the new cel insertion section 63 (A point), and setting the flag which shows that it is a new cel, the cel inserted in the A point becomes having inserted in the B point, and equivalence. Therefore, since it becomes unnecessary to prepare a cel receive section and the cel insertion section separately, reduction of hardware can be aimed at.

[0045] Moreover, although the header of the cel transmitted from the circuit side is convertible in the header transducer 15, since a Y bit part is overwritten as a routing bit, it is uninfluent to the processing after coming out of the subscriber's-loop interface 10. Moreover, apart from the method mentioned above, a speech path 2 and the signal line stretched in parallel can also perform designation of a new insertion cel. Moreover, it can carry out similarly about other cel processings of MC processing etc., or a going-down speech path.

[0046] Drawing 8 is the block diagram showing the example of a gestalt of other operations of this invention. The same thing as drawing 4 and drawing 6 attaches and shows the same sign. In drawing, 50

is the cel discernment section which discriminates intensively the cel from which it gets down from going up, and is prepared in each inlet-port section of the going-up speech path 2 and the going-down speech path 2. 52 is a signal line which notifies the cel identification information identified in these cel discernment section 50 to the cel processing section of each consecutiveness. Other configurations are completely the same as drawing 6. Thus, it will be as follows if actuation of the constituted circuit is explained.

[0047] It identifies whether it is the cel which should be processed in which cel processing section by the cel discernment section 50 in which the cel which is flowing the speech path 2 was prepared by the preceding paragraph of each cel processing section, and a speech path and the signal line 52 stretched in parallel notify it to the applicable cel processing section. Thereby, since it becomes unnecessary for each cel processing section to identify a cel again, the hardware in each cel processing section is reducible that much. For this reason, the subscriber's-loop interface 10 can be miniaturized.

[0048] Moreover, since the consecutive cel processing section is divided for every function, it can assign for every processing block, and can develop, and the check of the normality of actuation of the cel processing section becomes easy. In addition, although the signal line 52 has notified cel information to the consecutive cel processing section in drawing, a flag bit is inserted in a cel and you may make it notify it.

[0049] Drawing 9 is the block diagram showing the example of a gestalt of other operations of this invention. The same thing as drawing 2 and drawing 6 attaches and shows the same sign. Physical-layer processing block 10A consists of a physical trailer 60, the frame termination section 61, and the cel processing section 62, and constitutes the physical-layer processing section 40 of drawing 2. 41 and 42 are the OAM cel processing sections which process an OAM cel. The OAM cel processing section 41 consists of an OAM cel extract / monitor section 41a prepared in the going-up speech path 2, and OAM cel insertion section 41b which got down and was prepared in the speech path 2. The OAM cel processing section 42 consists of an OAM cel extract / monitor section 42a which got down and was prepared in the speech path 2, and OAM cel insertion section 42b prepared in the going-up speech path 2.

[0050] In the form inserted in these OAM(s) cel processing sections 41 and 42, the UPC section 13 and the accounting section 14 are formed in the going-up speech path 2, it gets down and the accounting section 16 is formed in the speech path 2. 15 is the header transducer prepared in the outlet side of the going-up speech path 2. Thus, it will be as follows if actuation of the constituted circuit is explained.

[0051] The signal inserted from the subscriber's-loop side is changed into a desired electrical signal by the physical trailer 60, and frame synchronization, section overhead processing, and pass overhead processing are performed to it in the frame termination section 61. Furthermore, header synchronization and cel assembly are performed in the cel processing section 62, it is changed into a cel format as shown in (a) of drawing 7, and termination of the physical-layer processing is carried out.

[0052] This cel goes into the OAM cel processing section 41 in accordance with the speech path 2 within the subscriber's-loop interface 10, and OAM cel extract processing and a monitor are performed. Next, polishing processing and accounting by the accounting section 14 are performed by the UPC section 13, and it goes into the OAM cel processing section 42. In this OAM cel processing section 42, when required, cel insertion by OAM cel insertion section 42b and cel processing called header transform processing by the header transducer 15 are performed, and it is transmitted to an ATM switch side. Moreover, similarly, about the cel inserted from the ATM switch side, each processing section is passed and it is transmitted to a circuit side.

[0053] Since termination of the OAM cel used within the net is carried out before and behind the cel processing sections 13 and 14 which perform polishing processing and accounting according to this invention, it is made not to pass insertion, an extract, or the OAM cel turned up newly with the subscriber's-loop interface concerned in the cel processing sections 13 and 14 which perform polishing processing or accounting, and the OAM cel used within the net can be charged, or it can protect polishing a user cel unnecessarily. Moreover, the cel which it polished can also be made into an accounting non-object. Furthermore, the condition of the header of the subscriber's-loop interface 10 and

the ATM switch 20 can be easily switched by arranging the header transducer 15 to ATM switch 20 twist most.

[0054] Drawing 10 is the explanatory view of the trial root by this invention, and shows FB(s) trial (during circuit corresponding point-switch) root. The same thing as drawing 6 attaches and shows the same sign. In this drawing, the subscriber's-loop interface is divided and indicated to be a circuit corresponding point (LU) to the circuit corresponding point interface (LUIF). In drawing, 80 and 81 are the going-up speech path 2 and the loop formation T which gets down and turns up all the cels of a speech path. 82 is the cel processing section which performs processing of LB cel, and processing of a trial cel. 20 is an ATM switch (self-routing switch) connected with the subscriber's-loop interface 10. Thus, it will be as follows if actuation of the constituted circuit is explained.

[0055] The trial cel made into the special-number VCI value (it is FF at a hexadecimal) from the cel processing section 82 is inserted in an ATM switch side. And the UPC section 13, the accounting section 14, and MC insertion section 68 are passed by no processing. Let the above section be the special-number trial cel section L1. This trial cel is changed into a T bit addition trial cel by the continuing header transducer 15. At this time, the header transducer 15 specifies the routing bit RB (refer to drawing 7) as the subscriber's-loop interface of self, and sends it out to the ATM switch 20. This T bit trial cel goes into the ATM switch 20 through the circuit corresponding point interface LUIF.

[0056] The circuit corresponding point LU gets down again, and the T bit trial cel turned up by self-addressed with the ATM switch 20 returns to a speech path 2. L2 of drawing is the T bit addition trial cel section. And MC extract section 70 and the accounting section 16 are passed by no processing, the cel processing section 82 is reached, and this T bit addition trial cel is extracted. Thus, the continuity check of a speech path can be performed. In this case, since the internal overhead field added by the ATM exchange inside of a plane is used for the T bit addition trial cel, it does not affect the network outside the exchange. Moreover, the continuity check to the point of arbitration can be performed simple by preparing a loopback point like a loop formation C and a loop formation T suitably in the exchange.

[0057] Thus, according to this example, when the cel which stood the specific bit is clearly shown to be a cel for a trial and the cel for a trial passes the cel processing section and an ATM switch by no processing, it cannot be affected to other cel processing sections, but during the ATM circuit interface 10 and the ATM switch 20 can be examined simple during the Inn sir bottle and out OBU service.

[0058] Although the case where a subscriber's-loop interface was used as an ATM circuit interface was taken for the example in the above-mentioned example, this invention is completely applicable similarly about a trunk line interface. Moreover, in the above-mentioned example, the case where the cel processing section was connected to a speech path at a serial was taken for the example. However, to the inlet port and outlet of an ATM circuit interface, by not restricting to this, this invention prepares the cel processing section in juxtaposition, as shown in drawing 3, and it prepares the cel discernment section in the inlet port of a speech path 2, identifies a cel intensively, and can notify it to the cel processing section connected to juxtaposition. If it does in this way, since it is not necessary to perform cel discernment and an extract in cel discernment / extract section 45, and to carry out in the cel processing section 8, the burden of the cel processing section 8 decreases. Furthermore, the cel processing section 8 can process to coincidence the cel which entered from the speech path 2. Therefore, processing speed can improve and hardware can also be miniaturized.

[0059] Thus, according to this invention, the cel processing section is made a more efficient configuration, it is more small, inspection and a trial are simple, and the high ATM circuit interface of maintainability can be offered.

---

[Translation done.]

**\* NOTICES \***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**DESCRIPTION OF DRAWINGS**

---

[Brief Description of the Drawings]

[Drawing 1] It is the principle block diagram of the 1st invention.

[Drawing 2] It is the principle block diagram of the 2nd invention.

[Drawing 3] It is the principle block diagram of the 3rd invention.

[Drawing 4] It is the principle block diagram of the 4th invention.

[Drawing 5] It is the principle block diagram of the 5th invention.

[Drawing 6] It is the block diagram showing the example of a gestalt of 1 operation of this invention.

[Drawing 7] It is drawing showing the example of the cel format in the exchange.

[Drawing 8] It is the block diagram showing the example of a gestalt of other operations of this invention.

[Drawing 9] It is the block diagram showing the example of a gestalt of other operations of this invention.

[Drawing 10] It is the explanatory view of the trial root by this invention.

[Drawing 11] It is the configuration conceptual diagram of an ATM switching system.

[Drawing 12] It is the block diagram showing the example of the conventional configuration of an ATM circuit interface.

[Drawing 13] It is the block diagram showing other examples of a configuration of the conventional ATM circuit interface.

[Drawing 14] It is the block diagram showing other examples of a configuration of the conventional ATM circuit interface.

[Drawing 15] It is drawing showing the example of a format of the conventional trial cel.

[Drawing 16] It is drawing showing the flow of the trial cel in the conventional ATM switching system.

[Description of Notations]

2 Speech Path

7 Cel Processing Section

10 ATM Circuit Interface

---

[Translation done.]

\* NOTICES \*

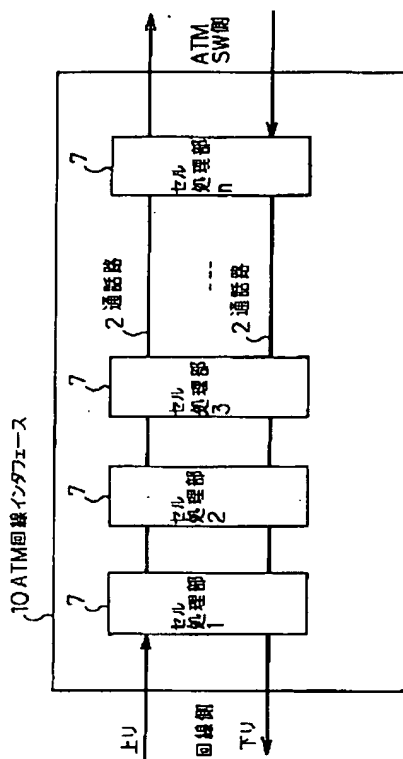
Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

## DRAWINGS

[Drawing 1]

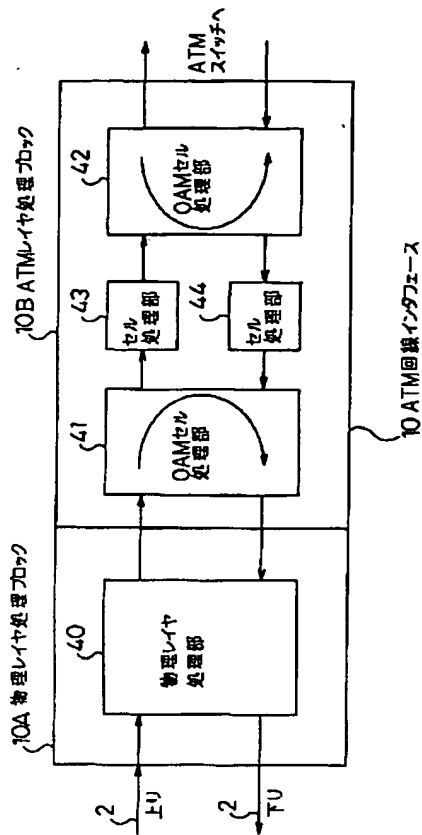
第1の発明の原理ブロック図



[Drawing 2]

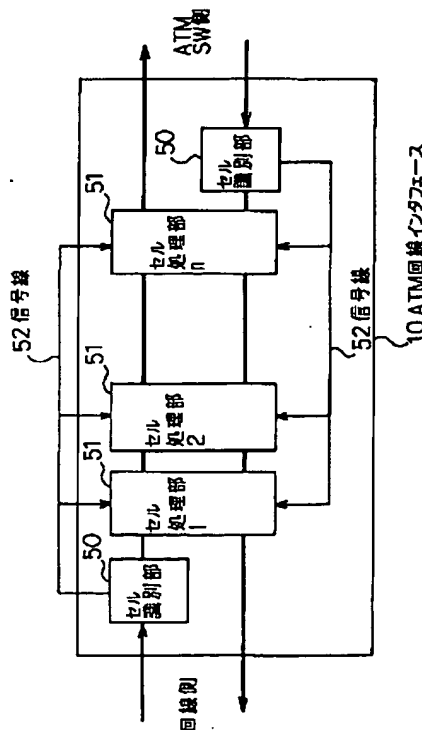


第2の発明の原理ブロック図

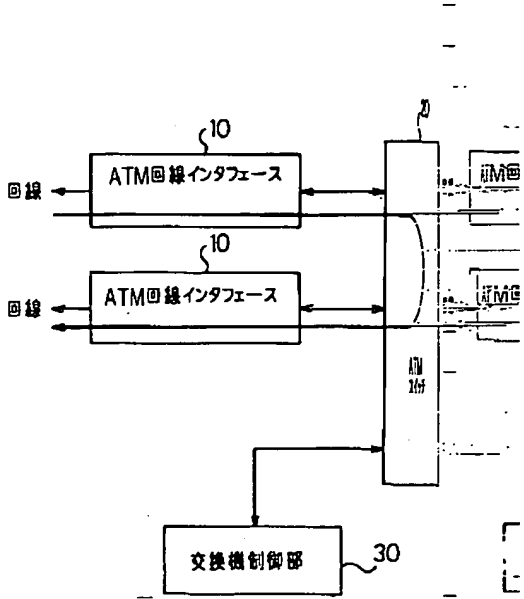


[Drawing 4]

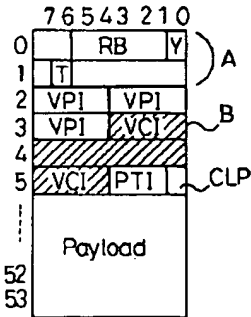
第4の発明の原理ブロック図



[Drawing 11]  
ATM交換機の構成概念図

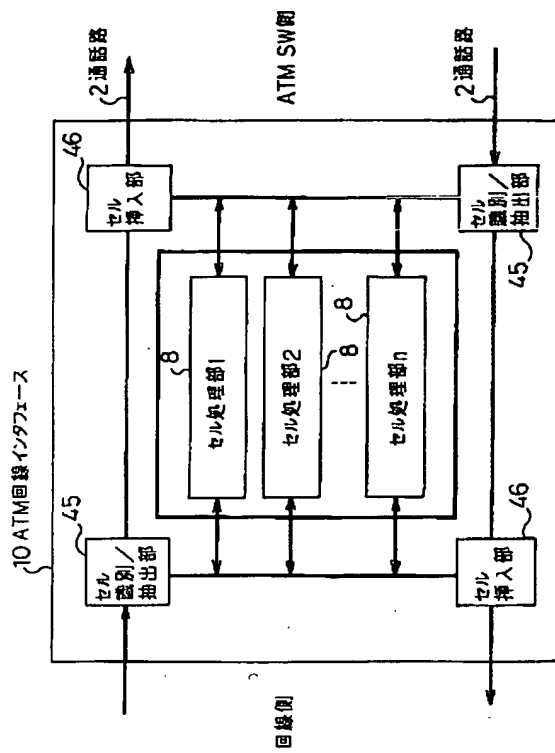


[Drawing 15]  
従来の試験セルのフォーマット例を示す図



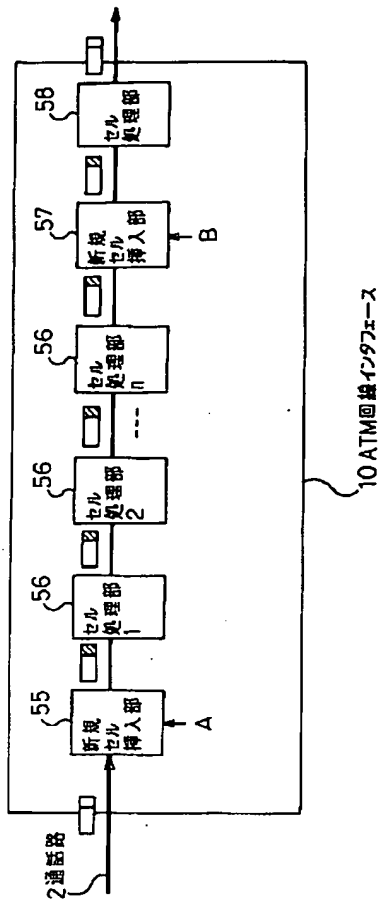
[Drawing 3]

第3の発明の原理ブロック図



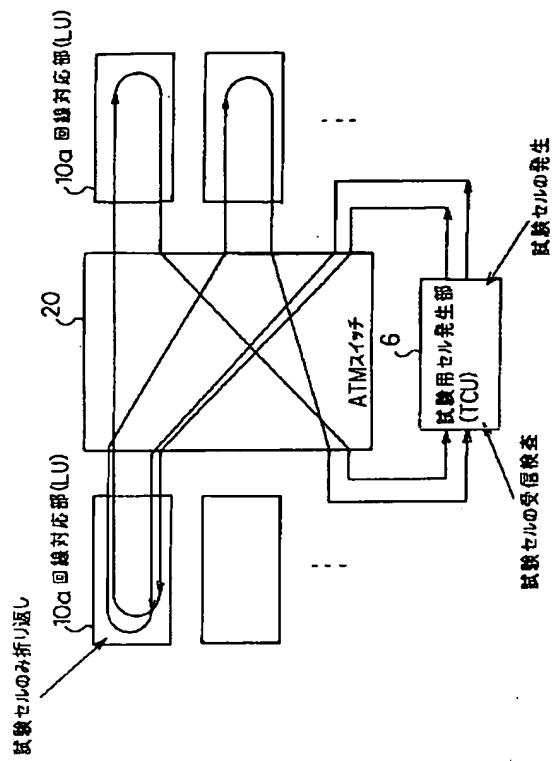
[Drawing 5]

第5の発明の原理ブロック図



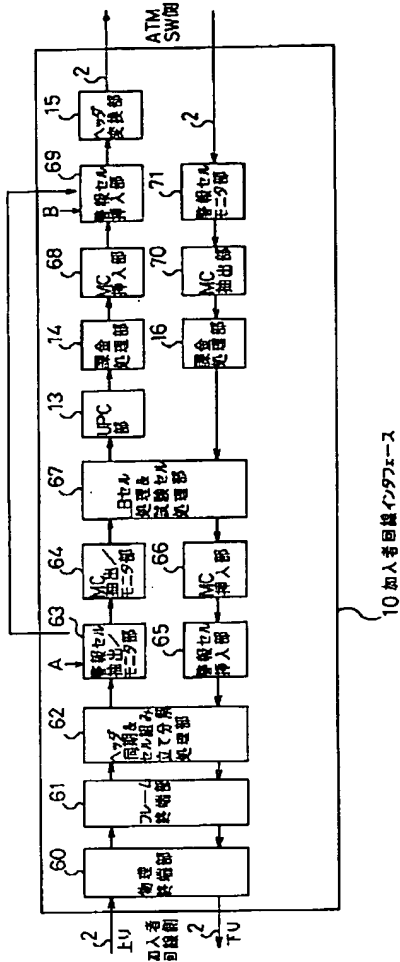
[Drawing 16]

従来のATM交換機における試験セルの流れを示す図



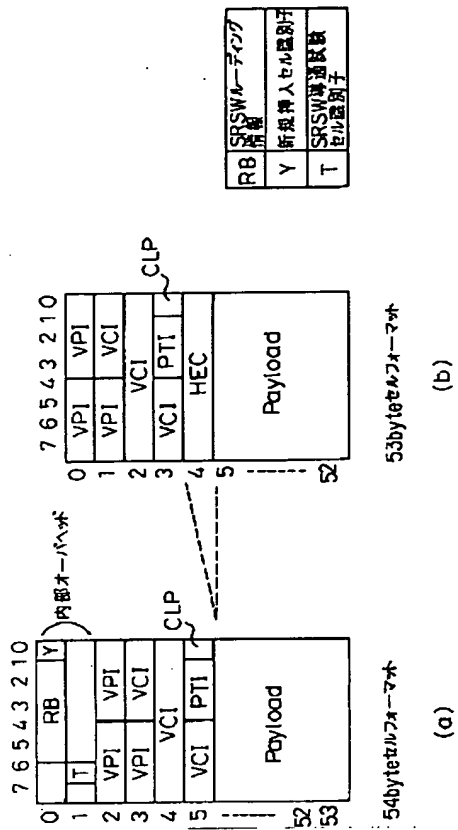
[Drawing 6]

本発明の一実施の形態例を示すブロック図



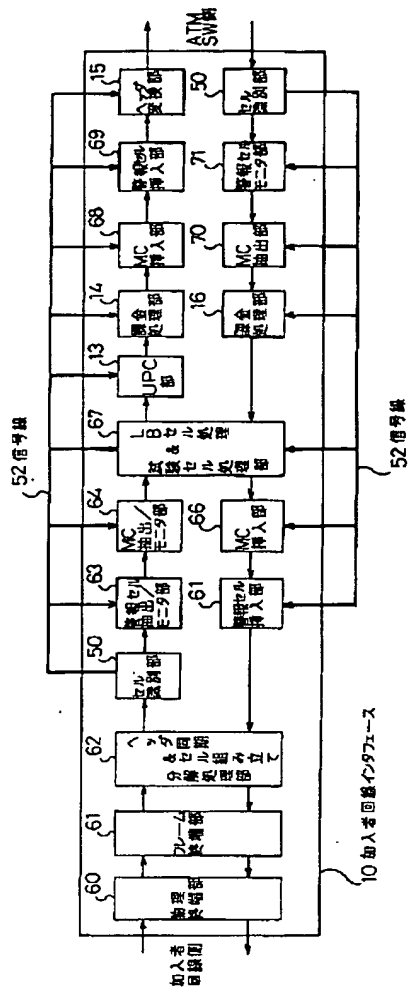
[Drawing 7]

図 8 交換機内セルフフォーマット例を示す図



[Drawing 8]

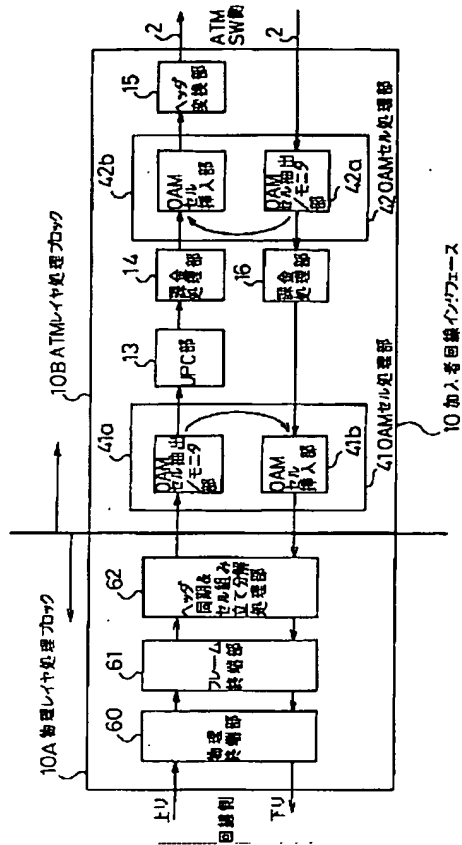
本発明の他の実施の形態例を示すブロック図



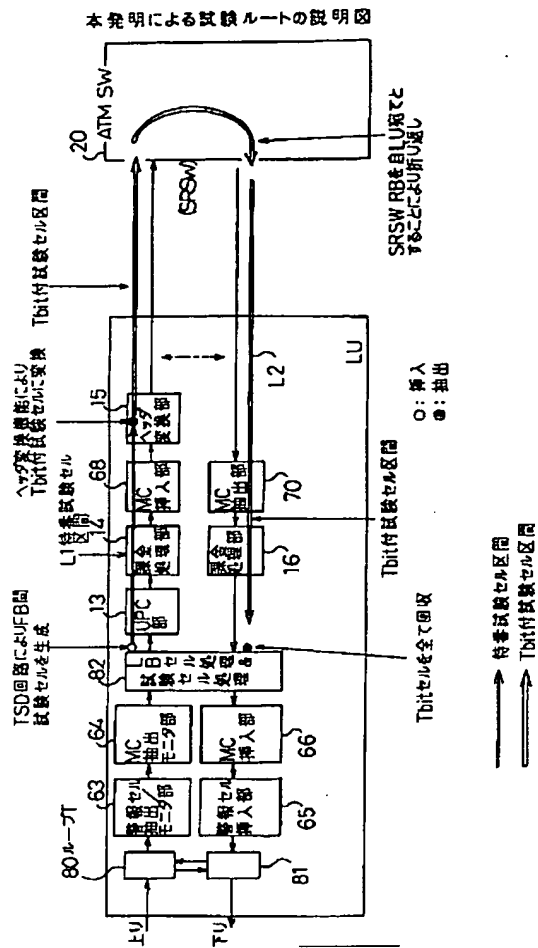
[Drawing 9]



本発明の他の実施の形態例を示すブロック図

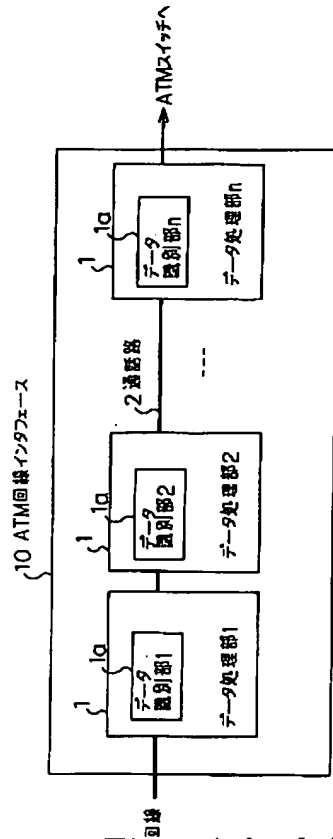


[Drawing 10]



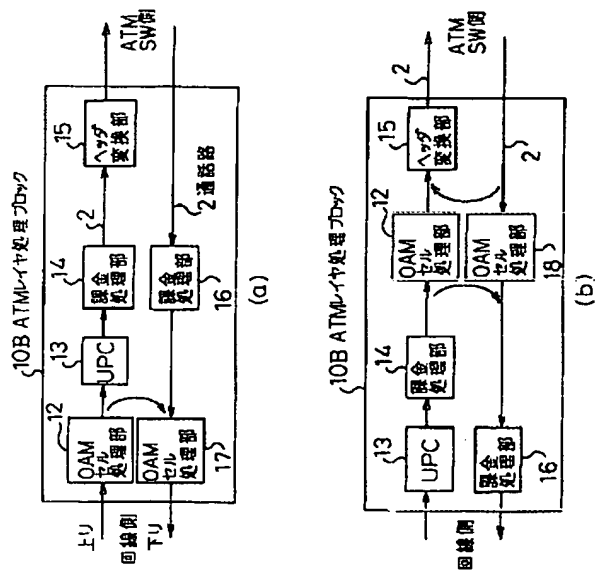
[Drawing 12]

ATM回線インタフェースの従来構成例を示すブロック図



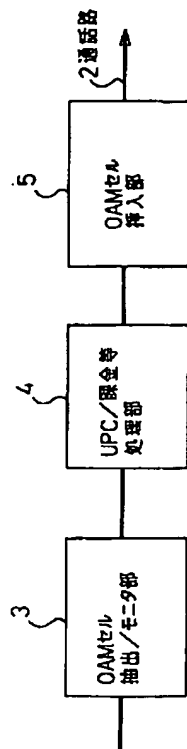
[Drawing 13]

従来のATM回線インタフェースの他の構成例を示すブロック図



[Drawing 14]

従来のATM回線インタフェースの他の構成例を示すブロック図



[Translation done.]

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-247184

(43) 公開日 平成9年(1997)9月19日

(51) IntCl. <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 L 12/28		9466-5K	H 0 4 L 11/20	E
H 0 4 Q 3/00			H 0 4 Q 3/00	

審査請求 未請求 請求項の数6 O L (全 13 頁)

(21) 出願番号 特願平8-55765

(22) 出願日 平成8年(1996)3月13日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番1号

(71) 出願人 000004226

日本電信電話株式会社

東京都新宿区西新宿三丁目19番2号

(71) 出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(74) 代理人 弁理士 井島 藤治 (外1名)

最終頁に続く

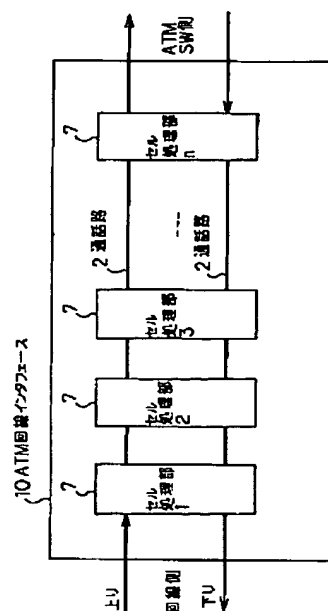
(54) 【発明の名称】 ATM回線インタフェースのセル処理システム

## (57) 【要約】

【課題】 本発明はATM回線インタフェースのセル処理システムに関し、セル処理部をより効率的な構成にして、より小型で検査・試験が簡便で、保守性の高いATM回線インタフェースを提供することを目的としている。

【解決手段】 その一端が回線側と、他端がATMスイッチ側と接続されるATM回線インタフェースにおいて、セルの単一の処理機能を有する複数のセル処理部を配置し、これらセル処理部を通路路が貫通する構成にする。

第1の発明の原理ブロック図



## 【特許請求の範囲】

【請求項1】 その一端が回線側と、他端がATMスイッチ側と接続されるATM回線インタフェースにおいて、セルの単一の処理機能を有する複数のセル処理部を配置し、これらセル処理部を通路が貫通する構成にしたことを特徴とするATM回線インタフェースのセル処理システム。

【請求項2】 その一端が回線側と、他端がATMスイッチ側と接続されるATM回線インタフェースにおいて、ATM回線インタフェースを物理レイヤ処理ブロックとATMレイヤ処理ブロックに分け、物理レイヤ処理ブロックで物理レイヤの処理を終端し、前記ATMレイヤ処理部に、セルの特定の処理部を挟む構成のOAMセル処理部を設けたことを特徴とするATM回線インタフェースのセル処理システム。

【請求項3】 その一端が回線側と、他端がATMスイッチ側と接続されるATM回線インタフェースにおいて、セルの単一の処理機能を有する複数のセル処理部を並列に配置することを特徴とするATM回線インタフェースのセル処理システム。

【請求項4】 その一端が回線側と、他端がATMスイッチ側と接続されるATM回線インタフェースにおいて、回線側とATMスイッチ側のそれぞれに上りと下りのセルを集中的に識別するセル識別部を設け、該セル識別部が後続のセル処理部に対してセル上のフラグビット又は信号線を用いて当該セルの処理を行なうか否かを通知することを特徴とするATM回線インタフェースのセル処理システム。

【請求項5】 その一端が回線側と、他端がATMスイッチ側と接続されるATM回線インタフェースにおいて、回線側又はATMスイッチ側に新規セルを挿入する新規セル挿入部を設け、該新規セル挿入部が後続のセル処理部に対して新規挿入セルであることを示すフラグビット又は信号線を用いて通知することを特徴とするATM回線インタフェースのセル処理システム。

【請求項6】 特定のビットを立てたセルを試験用セルとし、各セル処理部においてユーザセルとは異なる動作をさせることを特徴とする請求項1乃至5のいずれかに記載のATM回線インタフェースのセル処理システム。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明はATM回線インタフェースのセル処理システムに関する。ここで、ATM回線インタフェースとは、加入者回線インタフェースと中継回線インタフェースを含むものである。

【0002】ATM交換機では、音声、動画、データ等の種々の情報をセルと呼ばれる固定長パケットに分割して転送する。ATM交換機の構成要素であるATM回線インタフェースは、加入者回線又は中継回線と接続され、回線終端、故障管理、性能管理、構成管理、課金管理、セキュリティ管理といった各種のOAM(管理)機能と、ユーザが契約した内容のセルを流しているかを監視し、契約を守らないユーザに対してはセルを廃棄またはタギング(CLPビットを1にする)ポリシング機能(UPC)を提供している。

【0003】近年、マルチメディア通信への要求が高まる中で、通信で扱うソースも従来の音声のみでなく、動画やデータといった大容量でバースト的なデータが扱われるようになってきている。このため、大容量のATM交換機が要求されている。交換機の大容量化のためには、ATMスイッチの大容量化のみならず、それに接続される回線インタフェース数が増大するため、ATM回線インタフェースの小型化が必要である。

## 【0004】

【従来の技術】図11はATM交換機の構成概念図である。図において、10は回線(加入者回線又は中継回線)と接続され、回線終端及び故障管理、性能管理、構成管理、課金管理、セキュリティ管理といった各種のOAM(管理)機能と、ユーザが契約した内容のセルを流しているかを監視し、契約を守らないユーザに対してはセルを廃棄またはタギング(CLPビットを1にする)ポリシング機能を有するATM回線インタフェースである。該ATM回線インタフェースが加入者回線インタフェースである時には、該ATM回線インタフェースは加入者端末と接続され、該ATM回線インタフェースが中継回線インタフェースである時には、他の中継交換機と接続される。20は該ATM回線インタフェース10と接続され、自己ルーティング機能を持つATMスイッチ(SRSW)である。該ATM回線インタフェース10は、図に示すように複数設けられている。30は該ATMスイッチ20と接続され、交換機自身の制御を行なう交換機制御部である。

【0005】このような構成において、ある回線からデータが送られると、このデータはATM回線インタフェース10を経てATMスイッチ20に入り、該ATMスイッチ20で所定の方路にスイッチされ、他のATM回線インタフェース10を経て、例えば他の加入者端末と接続される(図の矢印)。交換機制御部30は、データを送る前のシグナリング過程において、加入者端末と制御信号のやりとりを行なう。

【0006】図12はATM回線インタフェースの従来構成例を示すブロック図である。図に示すように、セルデータの処理を行なうデータ処理部1が複数(n個)設けられ、あるデータ処理部1で処理が終了したら、通路2を介して次のデータ処理部1に入り、次のデータ処

理が行なわれ、最終段のデータ処理部1からATMスイッチ20に入力される。この場合に、各データ処理部1にはデータ識別部1aが設けられており、このデータ識別部1aで通話路2から送られてきたセルデータ種別を識別し、その処理部に応じた処理を行なっている。

【0007】図13は従来のATM回線インタフェースの他の構成例を示すブロック図である。図12と同一のものは、同一の符号を付して示す。ATM回線インタフェース10は、回線を物理的に終端する物理レイヤ処理ブロック10A（図示せず）とATMセルの処理を行なうATMレイヤ処理ブロック10Bから構成される。図では、ATMレイヤ処理ブロック10Bの構成を示す。

【0008】(a)の構成において、12はOAMセルを抽出する機能と、OAMセルを後続の処理部にそのまま転送するモニタ機能と、新たなOAMセルを挿入する機能を持つOAMセル処理部、13はセルに対するポリシング機能を持つUPC部、14は通過するセル数をカウントする課金処理部、15はセルのヘッダを交換し、ATMスイッチ内のルーティング情報及び出方路でのヘッダ情報を設定するヘッダ交換部である。

【0009】ここで、OAMセルとは、ATMヘッダにおけるペイロードタイプ（PTI値）又はVCI値にプリアサインされた特別な値を用いることにより、ユーザデータセルと同一経路のインチャネルのユーザデータセルの空きセル区間に故障及び性能管理情報を搭載したOAMセルコネクションの終端点又は特定の接続点で、OAMセルの挿入／分離を行なうことにより、故障及び性能管理するセルである。このセルは、どの接続点においても、OAMセルを複製することにより、モニタが可能である。OAMセル処理部12で抽出されたセルは情報を抽出した後は廃棄される。以上は上り通話路2に設けられる。

【0010】16はATMスイッチ20側からのセルをカウントする課金処理部、17はOAMセルを挿入するOAMセル処理部である。課金処理部16及びOAMセル処理部17は、下り通話路2に設けられる。図中のOAMセル処理部12からOAMセル処理部17へのループは、導通試験の場合のループを示している。

【0011】(b)の構成において、図(a)と同一のものは、同一の符号を付して示す。(b)に示す構成は、(a)に示す構成の各処理部の配置を異ならしめたものである。18はOAMセル処理部12と同じく、OAMセルを抽出する機能と、OAMセルを後続の処理部にそのまま転送するモニタ機能と、新たなOAMセルを挿入する機能を持つOAMセル処理部で、下り通話路2に設けられている。導通試験時に、上り通話路2から入ってきたセルは、OAMセル処理部12で下り通話路2に折り返され、一方、下り通話路2から入ってきたセルは、OAMセル処理部18で上り通話路2に折り返される。

【0012】図14は従来のATM回線インタフェースの他の構成例を示すブロック図である。図13と同一のものは、同一の符号を付して示す。通話路2から入ってきたセルは、OAMセル抽出／モニタ部3で、セルの抽出、又はセルの後続の処理部への転送が行われる。OAMセル抽出／モニタ部3から転送されるセルは、続くUPC／課金等処理部4でポリシング処理と課金処理が行われる。UPC／課金等処理部4を出たセルは、OAMセル挿入部5に入り、該OAMセル挿入部5で必要な場合には、新規セルの挿入が行われる。

【0013】通話路の試験を行なう場合に用いられる試験セルは、図15に示すようなフォーマットの構成である。交換機内部でのみ用いられるセルの場合、ATMセルのヘッダ部にオーバーヘッドAを設けることができる。このオーバーヘッドAに、必要な情報を組み込む。そして、VCI部分Bに試験セルであることを示す特番値を組み込んでいる。

【0014】図16は従来のATM交換機における試験セルの流れを示す図である。図11と同一のものは、同一の符号を付して示す。導通試験を行なう場合には、試験セルを発生するための試験用セル発生部（TCU）6を別途設け、この試験用セル発生部6で発生させた試験セルをATMスイッチ20を介して回線対応部（LU：ATM回線インタフェース10内に設けられる）10aで折り返し、折り返された試験セルは、再度ATMスイッチ20に入って、他の回線対応部10aに入り、該回線対応部10aで折り返され、再度ATMスイッチ20に入り、試験用セル発生部6に戻る。この試験用セル発生部6で、送出した試験セルと戻って来たセルを比較することにより、通話路の正常性（導通）の試験を行なうことができる。

【0015】

【発明が解決しようとする課題】前述した従来のATM交換機システムでは、以下に示すような問題がある。

① 図12に示すシステムでは、データ処理部にセルが入る度にデータ識別部1aでセルの種類を識別する必要があるため、データ処理部の数が増える程に回路規模が大きくなってしまふ。

【0016】② 図13に示すシステムの場合、(a)に示す方式では、UPC部13や課金処理部14の前にOAMセル処理部12があるため、余分な（当該OAMセル処理部12で廃棄又は折り返されるセルがUPC部13や課金処理部14の対象となることはないが、UPC部13や課金処理部14より後段でセグメントOAMセルが使用できない。また、(b)に示す方式では、セグメントOAMセルがUPC部13又は課金処理部14の対象となり、ユーザセルが余計に廃棄されたり、課金されたりする場合がある。

【0017】③ 図14に示すシステムの場合、セルの抽出／モニタ部とセルの挿入部を別に設ける必要があ

る。

④ 図16に示すシステムでは、通話路の導通試験を行なうために、試験セル発生部を設ける必要があり、試験セルを識別するために、特番のVCIを使用し、そのためにリソースを消費する。

【0018】ATM回線インタフェースは、回線終端機能、各種OAM機能、課金機能及びポリシング機能といった多岐にわたる機能を提供するため、その処理が複雑なものであり、また回線速度が156Mbpsであり、高速に処理する必要があるため、専用のLSIを用いてハードウェア上の処理をする必要がある。従って、構成に要するハードウェア量が増大し、回路が非常に大型なものとなっている。また、装置の検査及び試験も複雑になっている。従って、大容量のATM交換機を構成する際に、装置が非常に大型なものとなり、交換機を設置するのに要する空間的スペースが大きくなるという問題がある。また、装置の検査及び試験に要する時間及びコストも大きくなっている。

【0019】本発明はこのような課題に鑑みてなされたものであって、セル処理部をより効率的な構成にして、より小型で検査・試験が簡便で、保守性の高いATM回線インタフェースを提供することを目的としている。

【0020】

【課題を解決するための手段】図1は第1の発明の原理ブロック図、図2は第2の発明の原理ブロック図、図3は第3の発明の原理ブロック図、図4は第4の発明の原理ブロック図、図5は第5の発明の原理ブロック図である。

【0021】図1において、図12と同一のものは、同一の符号を付して示す。図において、7はそれぞれが単一の処理機能を有するセル処理部で、複数配置されている。そして、これらセル処理部7を上りと下りの通話路2が貫通する構成となっており、上り側の処理結果が、下り側の処理に影響する。また、下り側の処理結果により、上り側の処理が変化する。

【0022】この発明の構成によれば、各セル処理部7は通話路2をインタフェースとして個別に開発することができ、またセル処理機能の異なる装置に対しても、セル処理部7の配置を変更することにより、容易に対応することができる。また、それぞれのセル処理部7の構成を簡略化できるため、それぞれのセル処理部毎の処理前と処理後のセルフォーマットの変化及びセル処理部7における統計的情報により、各セル処理部7の動作の正常性を比較的容易に検査することができる。

【0023】図2において、ATM回線インタフェース10は、物理レイヤ処理ブロック10AとATMレイヤ処理ブロック10Bに分けられる。40は物理レイヤ処理ブロック10A側に設けられた物理レイヤ処理部で、物理終端、フレーム終端、ヘッダ同期、セル組立・分解等の機能を持つものである。一方、ATMレイヤ処理ブ

ロック10Bでは、OAMセル処理部41とOAMセル処理部42がセル処理部43とセル処理部44を挟む構成になっている。

【0024】即ち、この発明では、セル処理部の配置を考慮した構成となっている。セル処理部43及びセル処理部44はセルの特定の処理機能を持つものであり、セル処理部43は上り通話路2に設けられ、セル処理部44は下り通話路2に設けられる。これらセル処理部43、44の機能は必ずしも同一のものである必要はない。

【0025】この発明の構成によれば、網内で使用するOAMセルをポリシング処理や課金処理を行なうセル処理部43、44の前後で終端させているので、当該回線インタフェースで新規に挿入、抽出又は折り返されるOAMセルをポリシング処理又は課金処理を行なうセル処理部43、44に流さないようにし、網内で使用されるOAMセルを課金したり、ユーザセルが不要にポリシングされるのを防ぐことができる。

【0026】また、UPCを課金処理部より前段に設けることによりポリシングされたセルは課金非対象にすることもできる。更に、ヘッダ変換部を最もATMスイッチ20(図11参照)より配置することにより、容易にATM回線インタフェース10とATMスイッチのヘッダの状態を切り換え、ルート情報を付加することができる。

【0027】図3において、45は上り及び下りの通話路2の入口側に設けられ、セルの識別と抽出を行なうセル識別/抽出部、46は通話路2の出口側に設けられ、セルの挿入を行なうセル挿入部である。8はセルの単一の処理機能を有するセル処理部で、複数(n個)設けられている。このセル処理部8は、通話路2の入口側と出口側に並列に配置されている。

【0028】この発明の構成によれば、セル識別と抽出は、セル識別/抽出部45で集中的に行ない、セル処理部8では行なう必要はないので、セル処理部8の負担が減る。更に、セル処理部8は、通話路2から入ってきたセルを同時に処理することができる。従って、処理速度が向上し、またハードウェアも小型化することができる。

【0029】図4において、50は上り及び下りの通話路2の入口側に設けられた、上りと下りのセルを集中的に識別するセル識別部、51は通話路2に設けられたセルの単一の処理機能を有するセル処理部である。52はセル識別部50で識別されたセル情報を後続のセル処理部51に通知する信号線である。

【0030】この発明の構成によれば、セル識別をセル識別部50で一括して集中的に行なうため、その分各セル処理部51におけるハードウェアを削減することができる。また、後続のセル処理部51を機能毎に分けているため、処理部ごとに分担して開発できる上、セル処理



部51の動作の正常性の確認が容易となる。なお、図ではセル情報を信号線で後続のセル処理部51に通知しているが、フラグビットをセルに挿入して通知するようにしてもよい。

【0031】図5において、55は物理的な新規セル挿入部、56はセルの単一の処理機能を有する複数(n個)のセル処理部、57は論理的なセルを挿入する新規セル挿入部、58は新規セル挿入部57を通過したセルを処理するセル処理部である。

【0032】この発明の構成によれば、新規セル挿入部55(A点)で物理的なセルを挿入し、新規セルであることを示すフラグを立てておくことにより、後続のセル処理部56は全て無処理で通過させ、新規セル挿入部57(B点)に到達するので、A点で挿入したセルが、あたかもB点で挿入したのと等価になる。従って、セル受信部とセル挿入部を別途に用意する必要がなくなるため、ハードウェアの削減が図れる。

【0033】これらの場合において、特定のビットを立てたセルを試験用セルと明示し、セル処理部及びATMスイッチを試験用セルが無処理で通過することにより、他のセル処理部へ影響を与えず、イン・サービス時またはアウト・オブ・サービス時に簡便にATM回線インタフェース10とATMスイッチ20間を試験することができる。

【0034】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を詳細に説明する。図6は本発明の一実施の形態例を示すブロック図で、ATM回線インタフェース10として加入者回線インタフェース部の構成を示す。図13と同一のものは、同一の符号を付して示す。図において、60は物理終端部で、加入者回線から送られてくる信号を符号化してビット列にする。例えば、加入者回線が光ファイバの場合には、光電/電光変換部もここに含まれる。61はフレームを終端するフレーム終端部である。ここで、フレームは、複数のATMセルから構成される単位である。62は、ヘッダ同期機能、セルの組立とセルの分解機能を有するセル処理部である。後述するATMセルのオーバーヘッドの付加は、該セル処理部62で行なう。

【0035】63は上り通話路2に設けられる警報セルの抽出とモニタを行なう警報セル抽出/モニタ部、64は上り通話路に設けられたMC(モニタリングセル)の抽出とモニタを行なうMC抽出/モニタ部である。警報セル抽出/モニタ部63で警報セルを抽出した時には該警報セルは廃棄され、モニタする時には後続の処理部に転送される。一方、MC抽出/モニタ部64でモニタリングセルを抽出した時には該モニタリングセルは廃棄され、モニタする時には後続の処理部に転送される。

【0036】65は下り通話路2に設けられた警報セルを挿入する警報セル挿入部、66は下り通話路2に設け

られたモニタリングセルを挿入するMC挿入部である。モニタリングセルとは、回線の品質を測るセルで、MC抽出/モニタ部64は、モニタリングセル及びユーザセルを観測することにより、品質測定を行なう。67はループバック(LB)セルの処理と、試験セルの処理を行なうOAMセル処理部である。

【0037】13は上り通話路2に設けられた、通過するセルのポリシングを行なうUPC部、14は上り通話路2に設けられた課金処理部、68は上り通話路2に設けられた、モニタリングセルを挿入するMC挿入部、69は上り通話路2に設けられた、警報セルを挿入する警報セル挿入部である。15は上り通話路2に設けられた、セルのヘッダに付されている情報によりATMスイッチ内の方路を設定するヘッダ交換部である。

【0038】16は下り通話路2に設けられた課金処理部、70は下り通話路2に設けられたMC抽出部、71は下り通話路2に設けられた警報セルをモニタする警報セルモニタ部である。

【0039】このように構成することにより、各セル処理部は通話路2をインタフェースとして個別に開発することができ、またセル処理機能の異なる装置に対しても、セル処理部の配置を変更することにより、容易に対応することができる。また、それぞれのセル処理部の構成を簡略化できるため、それぞれのセル処理部毎の処理前と処理後のセルフォーマットの変化及びセル処理部における統計的情報により、各セル処理部の動作の正常性を比較的容易に検査することができる。

【0040】このように構成された回路の動作を説明すれば、以下の通りである。加入者回線側から挿入された信号は、物理終端部60で所望の電気信号に変換され、フレーム終端部61でフレーム同期、セクションオーバーヘッド処理及びバスオーバーヘッド処理を施される。更に、セル処理部62でヘッダ同期、セル組立を行ない、図7の(a)に示すようなセルフォーマットに変換され、物理レイヤ処理を終端する。

【0041】図7は交換機内セルフォーマット例を示す図である。この7(b)のセルフォーマットは、ITU-Tで勧告されているものである。(a)に示すセルフォーマットは、(b)に示す53バイトのセルフォーマットのHEC部分を取り除き、新たに先頭の2バイトに内部オーバーヘッドAを付加したものである。以上の処理は、セル処理部62が行なう。このオーバーヘッドのうち、RBはATMスイッチ(SRSW:自己ルーティングスイッチ)20のルーティング情報、Yは新規挿入セル識別子、TはSRSW導通試験セル識別子である。それぞれセルを新規に挿入する場合には、Yに“1”を立て、導通試験セルを流す場合には、Tに“1”を立てる。

【0042】このセルは、回線インタフェース内の通話路2に沿って、警報セル抽出/モニタ部63による警報

セル処理、MC抽出/モニタ部64によるMC処理、OAMセル処理部67によるLBセル処理、試験セル処理、UPC部13によりポリシング処理、課金処理部14による課金処理、必要な場合にはMC挿入部68によるモニタリングセル挿入、ヘッダ変換部15によるヘッダ変換処理といったセル処理を施され、ATMスイッチ側に転送される。

【0043】また、同様に、ATMスイッチ側から挿入されたセルについても、各処理部を通過し、回線側に転送される。更に、回線側からATMスイッチ側へのセル処理において、新規に挿入される警報セルに対して、警報セル抽出/モニタ部63(図のA点)で、図7に示すように、セルフォーマットの1バイト目の1ビット目にYビットフラグを立てることにより、後続の処理部に新規挿入セルであることを明示することができる。後続のセル処理部では、Yビットフラグを見て処理をしないので、新規挿入セルは、論理的には無処理で通過したセル処理部の後段の警報セル挿入部69(図のB点)で挿入されたことになる。

【0044】図6の場合において、警報セル抽出/モニタ部63で警報セルを挿入し、Yビットフラグを立てると、後続のMC抽出/モニタ部64、OAMセル処理部67、UPC部13、課金処理部14及びMC挿入部68をバスして警報セル挿入部69でセルが挿入されたように見える。これによれば、新規セル挿入部63(A点)で物理的なセルを挿入し、新規セルであることを示すフラグを立てておくことにより、後続のセル処理部は全て無処理で通過させ、新規セル挿入部(警報セル挿入部)69(B点)に到達するので、A点で挿入したセルが、あたかもB点で挿入したのと等価になる。従って、セル受信部とセル挿入部を別途に用意する必要がなくなるため、ハードウェアの削減が図れる。

【0045】また、ヘッダ変換部15では、回線側から転送されてきたセルのヘッダを変換することができるが、Yビット部分はルーティングビットとして上書きされるため、加入者回線インタフェース10を出た後の処理に影響はない。また、新規挿入セルの明示は、前述した方式とは別に通話路2と並行に張られた信号線により行なうこともできる。また、MC処理などの他のセル処理や下り通話路についても同様に行うことができる。

【0046】図8は本発明の他の実施の形態例を示すブロック図である。図4、図6と同一のものは、同一の符号を付して示す。図において、50は上りと下りのセルを集中的に識別するセル識別部で、上り通話路2及び下り通話路2のそれぞれの入口部に設けられている。52はこれらセル識別部50で識別したセル識別情報を各々の後続のセル処理部に通知する信号線である。その他の構成は、全く図6と同じである。このように構成された回路の動作を説明すれば、以下の通りである。

【0047】通話路2を流れているセルを各セル処理部

の前段に設けられたセル識別部50で、どのセル処理部で処理すべきセルであるかを識別し、通話路と並行に張られている信号線52で該当セル処理部に通知する。これにより、各セル処理部は再度セルの識別を行なう必要がなくなるので、その分各セル処理部におけるハードウェアを削減することができる。このため、加入者回線インタフェース10を小型化することができる。

【0048】また、後続のセル処理部を機能毎に分けているため、処理ブロックごとに分担して開発が可能でありセル処理部の動作の正常性の確認が容易となる。なお、図ではセル情報を信号線52で後続のセル処理部に通知しているが、フラグビットをセルに挿入して通知するようにしてもよい。

【0049】図9は本発明の他の実施の形態例を示すブロック図である。図2、図6と同一のものは、同一の符号を付して示す。物理レイヤ処理ブロック10Aは、物理終端部60、フレーム終端部61及びセル処理部62とで構成され、図2の物理レイヤ処理部40を構成している。41、42はOAMセルを処理するOAMセル処理部である。OAMセル処理部41は、上り通話路2に設けられたOAMセル抽出/モニタ部41aと、下り通話路2に設けられたOAMセル挿入部41bとで構成される。OAMセル処理部42は、下り通話路2に設けられたOAMセル抽出/モニタ部42aと、上り通話路2に設けられたOAMセル挿入部42bとで構成される。

【0050】これらOAMセル処理部41と42で挟まれた形で、上り通話路2には、UPC部13と課金処理部14が設けられ、下り通話路2には課金処理部16が設けられている。15は上り通話路2の出口側に設けられたヘッダ変換部である。このように構成された回路の動作を説明すれば、以下の通りである。

【0051】加入者回線側から挿入された信号は、物理終端部60で所望の電気信号に変換され、フレーム終端部61でフレーム同期、セクションオーバーヘッド処理及びバスオーバーヘッド処理を施される。更に、セル処理部62でヘッダ同期、セル組立を行ない、図7の(a)に示すようなセルフォーマットに変換され、物理レイヤ処理を終端する。

【0052】このセルは、加入者回線インタフェース10内の通話路2に沿って、OAMセル処理部41に入り、OAMセル抽出処理、モニタが行なわれる。次に、UPC部13によりポリシング処理、課金処理部14による課金処理が行なわれ、OAMセル処理部42に入る。該OAMセル処理部42では、必要な場合にはOAMセル挿入部42bによるセル挿入、ヘッダ変換部15によるヘッダ変換処理といったセル処理を施され、ATMスイッチ側に転送される。また、同様に、ATMスイッチ側から挿入されたセルについても、各処理部を通過し、回線側に転送される。

【0053】この発明によれば、網内で使用するOAM

セルをポリシング処理や課金処理を行なうセル処理部13、14の前後で終端させているので、当該加入者回線インタフェースで新規に挿入、抽出又は折り返されるOAMセルをポリシング処理又は課金処理を行なうセル処理部13、14に流さないようにし、網内で使用されるOAMセルを課金したり、ユーザセルが不要にポリシングされるのを防ぐことができる。また、ポリシングされたセルは課金非対象にすることもできる。更に、ヘッダ変換部15を最もATMスイッチ20より配置することにより、容易に加入者回線インタフェース10とATM

スイッチ20のヘッダの状態を切り換えることができる。  
【0054】図10は本発明による試験ルートの説明図で、FB間(回線対応部スイッチ間)試験ルートを示している。図6と同一のものは、同一の符号を付して示す。この図では、加入者回線インタフェースを回線対応部(LU)と、回線対応部インタフェース(LUIF)に分けて示している。図において、80、81は上り通話路2及び下り通話路の全てのセルを折り返すループTである。82はLBセルの処理と試験セルの処理を行なうセル処理部である。20は加入者回線インタフェース10と接続されるATMスイッチ(自己ルーティングスイッチ)である。このように構成された回路の動作を説明すれば、以下の通りである。

【0055】セル処理部82より特番VCI値(例えば16進でFF)とした試験セルをATMスイッチ側に挿入する。そして、UPC部13、課金処理部14、MC挿入部68を無処理で通過させる。以上の区間を特番試験セル区間L1とする。この試験セルを続くヘッダ変換部15でTビット付加試験セルに変換する。この時、ヘッダ変換部15は、ルーティングビットRB(図7参照)を自己の加入者回線インタフェースに指定してATMスイッチ20に送出する。このTビット試験セルは、回線対応部インタフェースLUIFを経てATMスイッチ20に入る。

【0056】ATMスイッチ20で自己宛に折り返されたTビット試験セルは、再び回線対応部LUの下り通話路2に戻ってくる。図のL2が、Tビット付加試験セル区間である。そして、MC抽出部70、課金処理部16を無処理で通過し、セル処理部82に到達し、該Tビット付加試験セルが抽出される。このようにして、通話路の導通試験を行なうことができる。この場合に、Tビット付加試験セルは、ATM交換機内で付加される内部オーバーヘッド領域を用いているので、交換機より外のネットワークに影響を与えることはない。また、交換機内に適当にループCやループTのようにループバックポイントを設けることにより、任意の地点までの導通試験を簡便に行なうことができる。

【0057】このように、この実施例によれば、特定のビットを立てたセルを試験用セルと明示し、セル処理部

及びATMスイッチを試験用セルが無処理で通過することにより、他のセル処理部へ影響を与えず、イン・サービン中、アウト・オブ・サービス中に簡便にATM回線インタフェース10とATMスイッチ20間を試験することができる。

【0058】上述の実施例では、ATM回線インタフェースとして加入者回線インタフェースを用いた場合を例にとったが、中継回線インタフェースについても全く同様に本発明を適用することができる。また、上述の実施例では、セル処理部を通話路に直列に接続した場合を例にとった。しかしながら、本発明はこれに限るものではなく、ATM回線インタフェースの入口と出口に、図3に示すように、セル処理部を並列に設け、かつ通話路2の入口にセル識別部を設けて、セルを集散的に識別して、並列に接続されたセル処理部に通知してやるようにすることもできる。このようにすると、セル識別と抽出は、セル識別/抽出部45で行ない、セル処理部8では行なう必要はないので、セル処理部8の負担が減る。更に、セル処理部8は、通話路2から入ってきたセルを同時に処理することができる。従って、処理速度が向上し、またハードウェアも小型化することができる。

【0059】このように、本発明によれば、セル処理部をより効率的な構成にして、より小型で検査・試験が簡便で、保守性の高いATM回線インタフェースを提供することができる。

#### 【図面の簡単な説明】

【図1】第1の発明の原理ブロック図である。

【図2】第2の発明の原理ブロック図である。

【図3】第3の発明の原理ブロック図である。

【図4】第4の発明の原理ブロック図である。

【図5】第5の発明の原理ブロック図である。

【図6】本発明の一実施の形態例を示すブロック図である。

【図7】交換機内セルフフォーマット例を示す図である。

【図8】本発明の他の実施の形態例を示すブロック図である。

【図9】本発明の他の実施の形態例を示すブロック図である。

【図10】本発明による試験ルートの説明図である。

【図11】ATM交換機の構成概念図である。

【図12】ATM回線インタフェースの従来構成例を示すブロック図である。

【図13】従来のATM回線インタフェースの他の構成例を示すブロック図である。

【図14】従来のATM回線インタフェースの他の構成例を示すブロック図である。

【図15】従来の試験セルのフォーマット例を示す図である。

【図16】従来のATM交換機における試験セルの流れを示す図である。

【符号の説明】

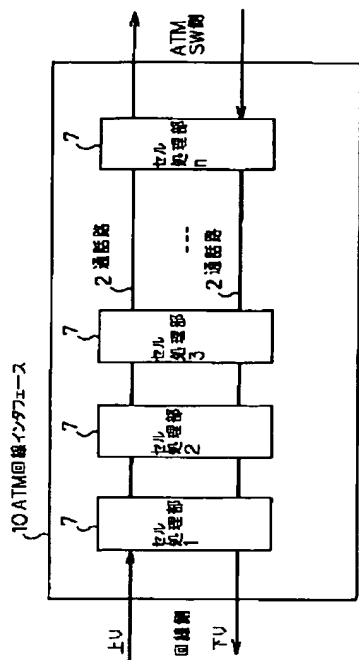
2 通話路

7 セル処理部

10 ATM回線インタフェース

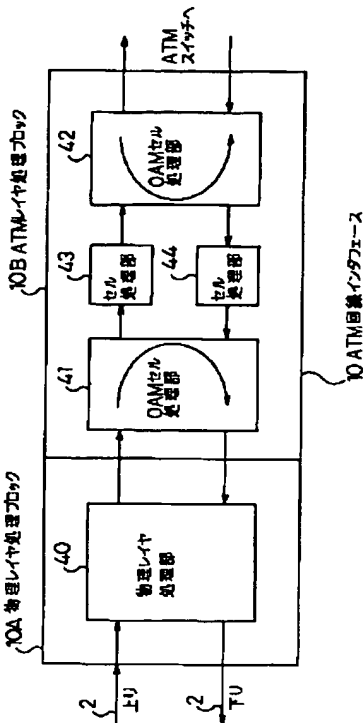
【図1】

第1の発明の原理ブロック図



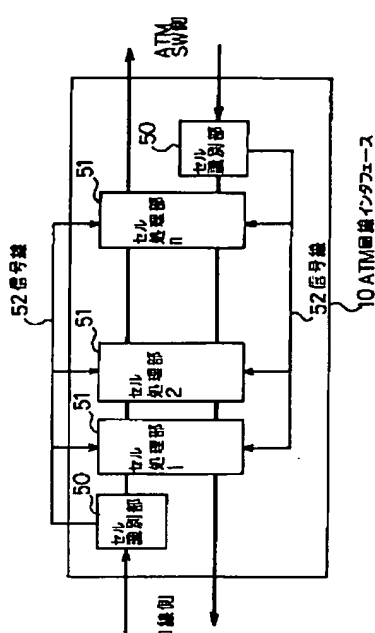
【図2】

第2の発明の原理ブロック図



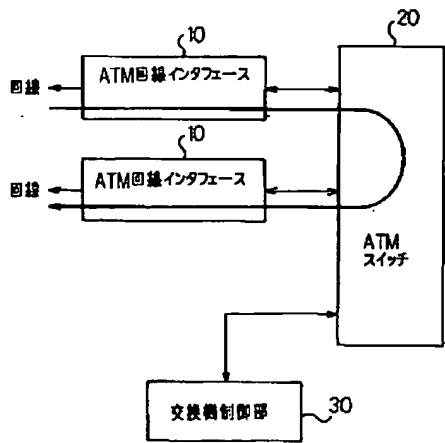
【図4】

第4の発明の原理ブロック図



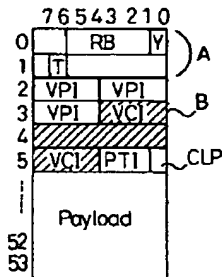
【図11】

ATM交換機構成概図



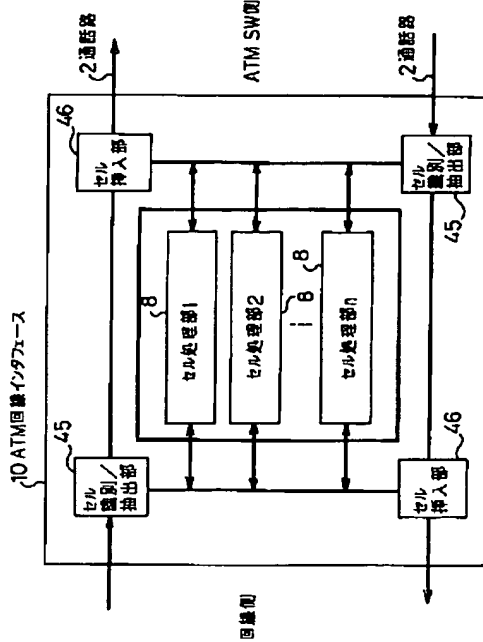
【図15】

従来の試験セルのフォーマット例を示す図



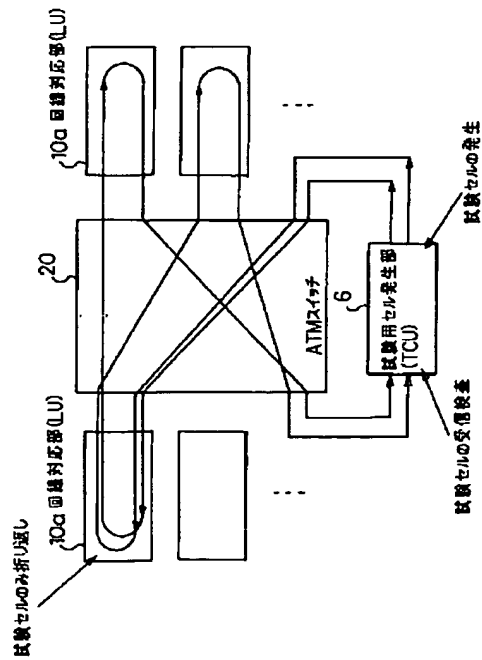
【図3】

第3の発明の原理ブロック図



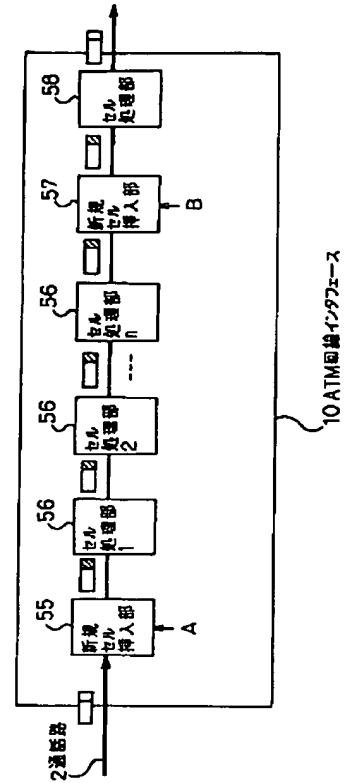
【図16】

従来のATM交換機における試験セルの流れを示す図



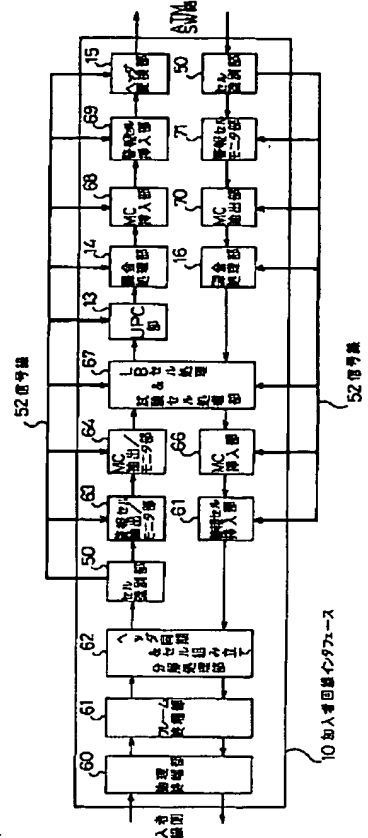
【図5】

第5の発明の原理ブロック図



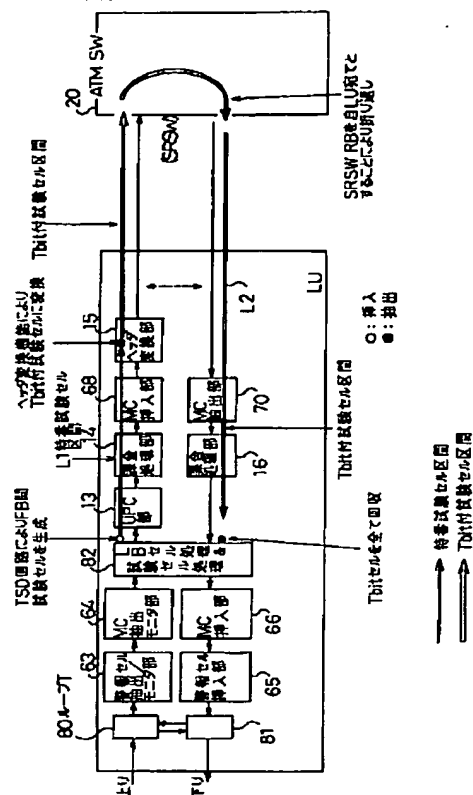
【図8】

本発明の他の実施の形態例を示すブロック図



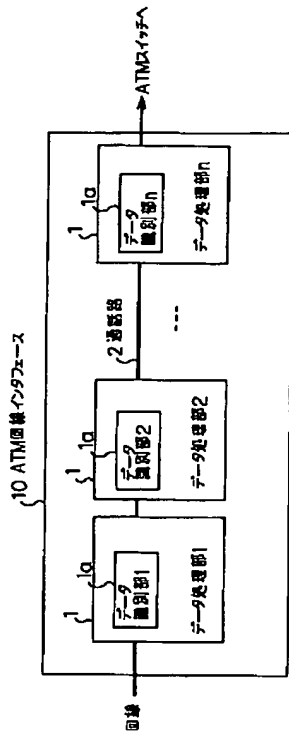
【図10】

本発明による試験ルートの説明図



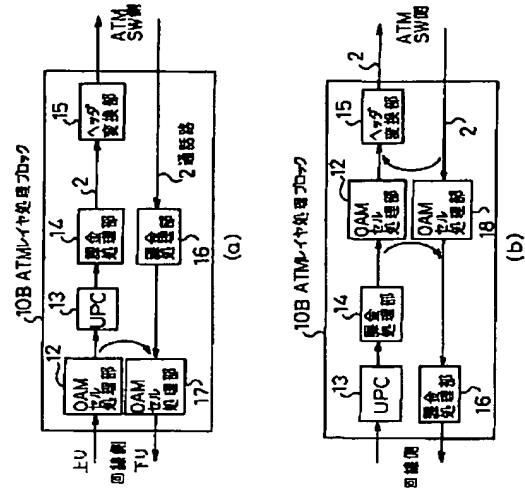
【図12】

ATM回線インタフェースの従来構成例を示すブロック図



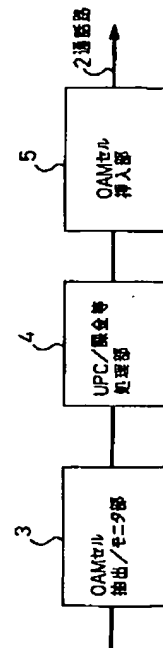
【図13】

従来のATM回線インタフェースの他の構成例を示すブロック図



【図14】

従来のATM回線インタフェースの他の構成例を示すブロック図





## フロントページの続き

(71)出願人 000004237  
日本電気株式会社  
東京都港区芝五丁目7番1号

(71)出願人 000005108  
株式会社日立製作所  
東京都千代田区神田駿河台四丁目6番地

(72)発明者 瓦井 健一  
神奈川県川崎市中原区上小田中1015番地  
富士通株式会社内

(72)発明者 長門 裕司  
東京都新宿区西新宿三丁目19番2号 日本  
電信電話株式会社内

(72)発明者 山中 直明  
東京都新宿区西新宿三丁目19番2号 日本  
電信電話株式会社内

(72)発明者 吉居 伸幸  
東京都港区虎ノ門1丁目7番12号 沖電気  
工業株式会社内

(72)発明者 鈴木 晃二  
東京都港区芝五丁目7番1号 日本電気株  
式会社内

(72)発明者 岡本 学  
神奈川県横浜市戸塚区戸塚町216番地 株  
式会社日立製作所情報通信事業部内